

## BEST AVAILABLE COPY

T S3/5/1

3/5/1

DIALOG(R) File 351:Derwent WPI

(c) 2005 Thomson Derwent. All rts. reserv.

012465324 \*\*Image available\*\*

WPI Acc No: 1999-271432/199923

XRFX Acc No: N99-202997

Multi synchronizing circuit for LCD panel of notebook PC - has FIFO type  
double port memory in which input video signals are stored

Patent Assignee: HOSIDEN &amp; PHILIPS DISPLAY CORP (HOSD )

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 11085119	A	19990330	JP 97245500	A	19970910	199923 B

Priority Applications (No Type Date): JP 97245500 A 19970910

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 11085119	A		8 G09G-005/00	

Abstract (Basic): JP 11085119 A

NOVELTY - The capacity of the memory is obtained by relation  
involving number of vertical lines 'V1' corresponding to rows 'H1',  
number of vertical lines 'V2' corresponding to rows 'H2', two arbitrary  
constants 'a', 'b' which assume present value depending on monochrome or  
color display and number of bits of data of one pixel. DETAILED  
DESCRIPTION - Input video signal is stored in frame memory which of the  
FIFO type having dual port.

USE - For LCD panel of notebook PC.

ADVANTAGE - The capacity of frame memory is utilized efficiently.

DESCRIPTION OF DRAWING(S) - The diagram shows block diagram of the  
multi synchronizing circuit.

Dwg.1/5

Title Terms: MULTI; CIRCUIT; LCD; PANEL; FIFO; TYPE; DOUBLE; PORT; MEMORY;  
INPUT; VIDEO; SIGNAL; STORAGE

Derwent Class: P85; T01; T04

International Patent Class (Main): G09G-005/00

International Patent Class (Additional): G09G-003/20; G09G-003/36

File Segment: EPI; EngPI

?

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-85119

(43) 公開日 平成11年(1999) 3月30日

(51) Int.Cl.<sup>5</sup>  
G 0 9 G 5/00識別記号  
5 2 0  
5 5 0  
5 5 5F I  
G 0 9 G 5/005 2 0 V  
5 5 0 T  
5 5 5 K  
5 5 5 W

3/20

R

3/20

審査請求 未請求 請求項の数 4 O L (全 8 頁) 最終頁に続く

(21) 出願番号 特願平9-245500

(22) 出願日 平成9年(1997) 9月10日

(71) 出願人 397015223

ホシデン・フィリップス・ディスプレイ株式  
会社

兵庫県神戸市西区高塚台4丁目3番1号

(72) 発明者 神谷 長生

兵庫県神戸市西区高塚台4丁目3番1 本  
シデン・フィリップス・ディスプレイ株式  
会社内

(72) 発明者 渡邊 英俊

兵庫県神戸市西区高塚台4丁目3番1 本  
シデン・フィリップス・ディスプレイ株式  
会社内

(74) 代理人 弁理士 草野 卓 (外1名)

(54) 【発明の名称】 モニタ装置のマルチシンク回路

(57) 【要約】

【課題】 フレームメモリの容量を必要最小限に抑え  
る。

【解決手段】 この発明のマルチシンク回路は、解像度が  $H_1 \times V_1$  の入力映像信号を、解像度が  $H_2 \times V_2$  (しかし、 $H_2 \geq H_1$ 、 $V_2 \geq V_1$ ) のドットマトリクス表示器の画面の中央付近に、入力映像信号の解像度のまま表示するように信号を変換する。この発明では特に、入力映像信号を一時記憶し、その信号を読み出して前記表示器へ送出するフレームメモリとして、デュアルポートのFIFOメモリを用いる。その容量  $N$  を  $N \geq V_1 \cdot (1 - V_2 / V_1) \cdot H_1 \cdot a \cdot b$  (カラー表示のとき  $a = 3$ 、モノクロ表示のとき  $a = 1$  ;  $b$  は1画素のデータのビット数) に選定する。制御回路は、メモリ1に書き込む信号の  $X = V_1 \cdot (1 - V_2 / V_1)$  行毎にライトアドレスポインタをゼロアドレスにリセットし、メモリ1に  $X$  行分書き込んだ時点で、リードサイクルを開始し、メモリ1より  $X$  行分のデータを読み出す毎にリードアドレスポインタをゼロアドレスにリセットする。

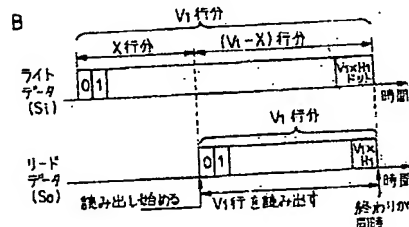
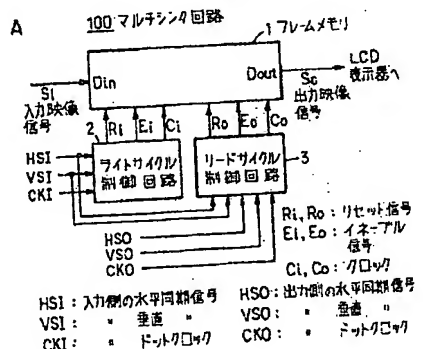


図1

## 【特許請求の範囲】

【請求項1】 解像度が $H_1 \times V_1$  ( $H_1$ は1画面の列数、 $V_1$ は行数)の入力映像信号を、解像度が $H_2 \times V_2$  (しかし、 $H_2 \geq H_1$ 、 $V_2 \geq V_1$ とする)のドットマトリクス表示器の画面の中央付近に、入力映像信号の解像度のまま表示するように信号を変換するモニタ装置のマルチシンク回路において、

入力映像信号を一時記憶し、その記憶した信号を読み出して前記表示器へ送出するフレームメモリとして、デュアルポートのFIFO (First In First Out) メモリを用い、

そのFIFOメモリの容量 $N$ を $N \geq V_1 \cdot (1 - V_1 / V_2)$ 、 $H_1 \cdot a \cdot b$  (しかし、カラー表示の場合 $a=3$ 、モノクロ表示のとき $a=1$ とし、 $b$ は1画素のデータのビット数とする)に選定することを特徴とするモニタ装置のマルチシンク回路。

【請求項2】 請求項1において、前記フレームメモリに書き込む入力映像信号の $X=V_1 \cdot (1 - V_1 / V_2)$ 行毎にライトアドレスポインタをゼロアドレスにリセットし、

前記フレームメモリに前記 $X$ 行分のデータを書き込んだ時点で、リードサイクルを開始し、

前記フレームメモリより前記 $X$ 行分のデータを読み出す毎にリードアドレスポインタをゼロアドレスにリセットする制御回路を設けたことを特徴とするモニタ装置のマルチシンク回路。

【請求項3】 解像度が $H_1 \times V_1$ の入力映像信号を、解像度が $H_2 \times V_2$  (しかし、 $H_2 \geq H_1$ 、 $V_2 \geq V_1$ とする)のドットマトリクス表示器の画面の中央付近に、入力映像信号の解像度のまま表示するように信号を変換するモニタ装置のマルチシンク回路において、

入力映像信号を一時記憶し、その記憶した信号を読み出して前記表示器へ送出するフレームメモリとして、シングルポートの第1、第2FIFOメモリを用い、

第1FIFOメモリの容量 $N_1$ を、 $N_1 \geq V_1 \cdot (V_2 - V_1) \cdot H_1 \cdot a \cdot b / (V_2^2 + V_1 \cdot V_2 - V_1^2)$ に、第2FIFOメモリの容量 $N_2$ を、 $N_2 \geq V_1 \cdot V_2 \cdot (V_2 - V_1) \cdot H_1 \cdot a \cdot b / (V_2^2 + V_1 \cdot V_2 - V_1^2)$ にそれぞれ選定することを特徴とするモニタ装置のマルチシンク回路。

【請求項4】 請求項3において、

第1サイクルで、第1FIFOメモリに映像信号の $X=V_1 \cdot (V_2 - V_1) / (V_2^2 + V_1 \cdot V_2 - V_1^2)$ 行分のデータを書き込み、

第2サイクルで、第2FIFOメモリに映像信号の $Y=V_1 \cdot V_2 \cdot (V_2 - V_1) / (V_2^2 + V_1 \cdot V_2 - V_1^2)$ 行分のデータを書き込むと共に、第1FIFOメモリの前記 $X$ 行分のデータを読み出し、

第3サイクルで、第2FIFOメモリの $Y$ 行分のデータを読み出すと共に、第1FIFOメモリに $Y(V_1 / V_2$

、)行分のデータを書き込み、

第4サイクルで、第1FIFOメモリより $Y(V_1 / V_2$ 、)行分のデータを読み出すと共に、第2FIFOメモリに $Y(V_1 / V_2)$ 行分のデータを書き込み、

以下同様に、第1、第2FIFOメモリの書き込み/読み出しを行う制御回路を設けたことを特徴とするモニタ装置のマルチシンク回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 近年になってLCDがノートパソコンなどと異なり、単にモニタとして使われることが増えてきた。モニタとして使う場合、ユーザーが使用する解像度にはVGA、SVGAなどのいろいろな解像度があり、必ずしもLCDパネルの解像度と一致するわけではない。そのため、入力した信号の解像度をLCDパネルの解像度に合わせるように信号を変換する、いわゆるマルチシンク回路が必要となる。

【0002】 このマルチシンク回路による表示の変換方法には大きく分けて2通りの方法がある。その一つは、LCDパネルの全有効表示域に入力信号を拡大する方法 (EXPANDモード) であり、もう一つはLCDパネルの中央付近に入力信号をそのままの解像度で表示する方法である。例えば、入力信号がVGA (ドット構成が640列×480行) で、LCDがXGA (ドット構成が1024列×768行) であった場合、VGAを縦横1.6倍に拡大して表示するのがEXPANDモードであり、1024×768ドットの中央の640×480ドットの領域に表示するのがNON-EXPANDモードである (図5)。

【0003】 EXPANDモードではフレームメモリは必要ないが、NON-EXPANDモードではフレームメモリが必要となるが、フレームメモリは高価であるため、この数を減らすことが重要である。この発明は、NON-EXPANDモードで必要最小限度のフレームメモリを備えたマルチシンク回路に関する。

【0004】

【従来の技術】 従来は入力した信号の1フレーム分を、全てフレームメモリに書き込み (ライトサイクル)、書き込みが終わってから、第 $n+1$ フレームで第 $n$ フレームのデータを読み出す (リードサイクル) ということが行われてきた。使用されるメモリは、主としてデュアルポートのFIFO (First In First Out) メモリで、これは書き込みポートと読み出しポートの双方をもっており、書き込みながら同時に読み出せるというメモリである。すなわち、第 $n$ フレームのデータを読み出しながら、それと同時に第 $n+1$ フレームのデータを書き込むことができる。

【0005】 これは例えば、XGAのLCDパネルをモニタにする場合、入力信号がVGAまたはSVGA (800×600) の時はその全てのデータをフレームメモ

10

20

30

40

50

3  
 リに書き込むことになる。従って1ドットのデータがRGB各色8bitの場合のフレームメモリの容量Nは  
 $N = 800 \times 600 \times 8 \times 3 = 1152000 \text{ bit} (= 1.37 \text{ Mbyte})$   
 Nをバイトで表すと1152000/8=144000バイトとなる。ケーバイトに直すために $2^{10} = 1024$ で割って、 $144000/1024 = 140.625 \text{ k}$ バイトとなる。更にメガバイトに直すと、 $140.625/1024 = 0.137 \text{ M}$ バイトとなる。このためフレームメモリとして512kB(ケーバイト)のFIFOメモリが3個必要になる。  
 【0006】

【発明が解決しようとする課題】フレームメモリは高価であるので、この発明はその容量を必要最小限に抑えようとするものである。  
 【0007】

【課題を解決するための手段】

(1) 請求項1の発明は、解像度が $H_1 \times V_1$  ( $H_1$  は1画面の列数、 $V_1$  は行数)の入力映像信号を、解像度が $H_2 \times V_2$  (しかし、 $H_2 \geq H_1$ 、 $V_2 \geq V_1$  とする)のドットマトリクス表示器の画面の中央付近に、入力映像信号の解像度のまま表示するように信号を変換するモニタ装置のマルチシンク回路に関する。請求項1では特に、入力映像信号を一時記憶し、その記憶した信号を読み出して前記表示器へ送出するフレームメモリとして、デュアルポートのFIFO(First In First Out)メモリを用い、そのFIFOメモリの容量Nを $N \geq V_1 \cdot (1 - V_1/V_2) \cdot H_1 \cdot a \cdot b$  (しかし、カラー表示の場合 $a = 3$ 、モノクロ表示のとき $a = 1$ とし、 $b$ は1画素のデータのビット数とする)に選定する。

【0008】(2) 請求項2の発明では、前記(1)において、フレームメモリに書き込む入力映像信号の $X = V_1 \cdot (1 - V_1/V_2)$  行毎にライトアドレスポインタをゼロアドレスにリセットし、フレームメモリにX行分のデータを書き込んだ時点で、リードサイクルを開始し、フレームメモリよりX行分のデータを読み出す毎にリードアドレスポインタをゼロアドレスにリセットする制御回路を設ける。

【0009】(3) 請求項3の発明は、解像度が $H_1 \times V_1$  の入力映像信号を、解像度が $H_2 \times V_2$  (しかし、 $H_2 \geq H_1$ 、 $V_2 \geq V_1$  とする)のドットマトリクス表示器の画面の中央付近に、入力映像信号の解像度のまま表示するように信号を変換するモニタ装置のマルチシンク回路に関する。請求項3では特に、入力映像信号を一時記憶し、その記憶した信号を読み出して前記表示器へ送出するフレームメモリとして、シングルポートの第1、第2FIFOメモリを用い、第1FIFOメモリの容量 $N_1$ を、 $N_1 \geq V_1 \cdot (V_2 - V_1) \cdot H_1 \cdot a \cdot b / (V_1^2 + V_1 \cdot V_2 - V_2^2)$  に、第2FIFOメモリの容量 $N_2$ を、 $N_2 \geq V_1 \cdot V_2 \cdot (V_2 - V_1) \cdot H_1 \cdot a \cdot b / (V_1^2$

$+ V_1 \cdot V_2 - V_2^2)$  にそれぞれ選定する。

【0010】(4) 請求項4の発明は、前記(3)において、第1サイクルで、第1FIFOメモリに映像信号の $X = V_1 \cdot (V_2 - V_1) / (V_1^2 + V_1 \cdot V_2 - V_2^2)$  行分のデータを書き込み、第2サイクルで、第2FIFOメモリに映像信号の $Y = V_1 \cdot V_2 \cdot (V_2 - V_1) / (V_1^2 + V_1 \cdot V_2 - V_2^2)$  行分のデータを書き込むと共に、第1FIFOメモリのX行分のデータを読み出し、第3サイクルで、第2FIFOメモリのY行分のデータを読み出すと共に、第1FIFOメモリにY ( $V_1/V_2$ ) 行分のデータを書き込み、第4サイクルで、第1FIFOメモリよりY ( $V_1/V_2$ ) 行分のデータを読み出すと共に、第2FIFOメモリにY ( $V_1/V_2$ ) 行分のデータを書き込み、以下同様に、第1、第2FIFOメモリの書き込み/読み出しを行う制御回路を設ける。

【0011】

【発明の実施の形態】

(A) フレームメモリにデュアルポートFIFOメモリを用いる場合

(A1) 基本的な考え方

デュアルポートFIFOメモリは書き込みながら同時に読み出すことができるので、1フレーム分の全データを書き込み終わる前に読み出しを開始しても動作に問題はない。そこで、ある程度データを書き込んだら読み出しを開始して、新しいデータを書き込みながら、以前に書き込んだデータを読み出すようにする。読み出してしまえばそのデータは不要になるので、別のデータに書き換えられても表示には影響がない。このような制御をすれば、フレームメモリの容量を減らすことができる(図3)。ただし、このような制御でもライトアドレスポインタをリードアドレスポインタが追い越すことがないタイミングで読み出しを開始させなければならない。次にVGAの入力信号をXGAのLCDに表示させることを例にとって説明する。

【0012】通常のVGAの信号は垂直同期周波数60Hz、水平同期周波数32kHz、ドットクロック25MHzで、水平640ドット、垂直480ドットの信号である。これをXGAの信号、すなわち垂直同期周波数60Hz、水平同期周波数50kHz、ドットクロック65MHzで、水平1024ドット、垂直768ドットの信号に変換する。

【0013】図1のフレームメモリ1のライトサイクルは入力ドットデータの内の座標(0, 0)のデータをライトアドレス0のメモリに書き込み、その後25MHzのドットクロックが一つ入力する毎にライトアドレスを1ずつ増やして徐々にデータを書き込んでゆく。ある時間にライトアドレスがどこにいるかを示すのがライトアドレスポインタである。

【0014】同様にリードサイクルは出力ドットデータ

の内の座標(0, 0)のデータをリードアドレス0のメモリから読み出し、その後65MHzのドットクロックが入力する毎にリードアドレスを一つずつ増やして次々にデータを読み出してゆく。ある時間にリードアドレスがどこにいるかを示すのがリードアドレスポインタである。ただし、65MHzで連続的に読み出すのではなく、1水平期間内に840アドレス進めたら、次の水平期間の始まりまでリードアドレスポインタは止る。

【0015】今、第 $n+1$ フレームを書き込んでいる途中のある時刻 $T_1$ でライトアドレスポインタが $XW$ アドレスにあるものとする。この時 $XW$ アドレスより小さいアドレスにはすでに第 $n+1$ フレームのデータが書き込まれているが $XW$ アドレスより大きいアドレスにはまだ第 $n$ フレームのデータが残っている。この時、リードアドレスポインタは $XW$ アドレスより小さいアドレスの $XR$ アドレスにいるものとする。

【0016】その後時刻 $T_2$ になった時にはリードアドレスポインタがライトアドレスポインタを追い越したら、その時読み出したデータは第 $n$ フレームのデータになっている。すなわち読み出したデータは始めは第 $n+1$ フレームのデータを読み出していたのがリードアドレスポインタがライトアドレスポインタを追い越してからは第 $n$ フレームのデータを読み出すことになる。そのためリードアドレスポインタがライトアドレスポインタを追い越すのは許されない。なお、ライトアドレスポインタよりもリードアドレスポインタの方が速いので、ライトアドレスポインタがリードアドレスポインタを追い越\*

$$(V_1 - X) \dot{V}_1 / V_1 \leq V_1$$

これを解いて(2)式を得る。

$$X \geq V_1 (1 - V_1 / V_2) \quad \dots (2)$$

1行分のデータを書き込むのに $H_1 \times a$  (カラー表示のとき $a=3$ 、モノクロ表示のとき $a=1$ ) アドレスが必要であるから、メモリに必要な全容量 $N$ は $R, G, B$ の※

$$N \geq V_1 (1 - V_1 / V_2) H_1 a b \quad \dots (3)$$

よって必要最小なメモリの量は

$$N = V_1 (1 - V_1 / V_2) H_1 a b \quad \dots (4)$$

である。この $N$ を、 $a=3, b=8$ として従来例と同様に計算すれば、

VGAの場合:

$$X = 480 \times (1 - 480 / 768) = 180$$

$$N = X H_1 a b = 180 \times 640 \times 8 \times 3 = 2764800 \text{ bit } (= 337.5 \text{ kbyte})$$

SVGAの場合:

$$X = 600 \times (1 - 600 / 768) = 131.25$$

$$N = X H_1 a b = 131.25 \times 800 \times 8 \times 3 = 2520000 \text{ bit } (= 307.6 \text{ kbyte})$$

であり、従来必要であったメモリの1/4でよい。

(A3) メモリの制御タイミング

前項で検討したように図1Aのメモリ1を制御するタイミングを図1Bに示す。メモリの全容量は $X$ 行分のデー

\*すのは考慮しなくてもよい。

(A2) メモリ容量の算出

ここでは、前項の考え方を基に、フレームメモリの必要最小限のメモリ容量を算出する。

【0017】まず、入力する信号の解像度を $H_1$ 列 $\times V_1$ 行、LCDパネルの解像度を $H_2$ 列 $\times V_2$ 行とする。

ただし $H_1 < H_2, V_1 < V_2$ とする。この時、出力すべき水平同期信号は入力した水平同期信号の $V_2 / V_1$ 倍の周波数になる。NON-EXPANDモードでは

入力した1行分のデータはLCDパネルの1行分に表示されるので、フレームメモリ1に $V_1$ 行書き込む時間に $V_2$ 行のデータが読み出される。従ってフレームメモリ1に $X$ 行分のデータを書き込んでから読み出しを開始して、 $H_1 \times V_1$ 個のデータを書き込み終わった直後に $H_1 \times V_1$ 個のデータを読み出し終ればよい(図1B)。

【0018】このときの $X$ の値を求める。ライトサイクルでは $X$ 行分のデータを書き込んだので、残りは $V_2 - X$ 行である。この $V_2 - X$ 行を書き込む時間と同じ時間で $V_2$ 行を読み出す。1行分を書き込む時間 $T_1$ で読み出しは $V_2 / V_1$ 行を読み出すことができる。従って、1行分を読み出す時間は $T_1 \cdot V_2 / V_1$ となり、 $V_2 - X$ 行の書き込み時間 $\leq V_2$ 行の読み出し時間であるから、

$$(V_2 - X) T_1 \leq V_2 T_1 \cdot V_2 / V_1$$

従って(1)式が成立する。

【0019】

$$\dots (1)$$

※各1ドットのデータのビット数を $b$ とすれば、(3)式となる。

【0020】

$$\dots (3)$$

容量に等しいので、 $X$ 行毎に0アドレスに戻り、書き込む動作を繰り返せばよい。

【0021】メモリからの読み出しは $X$ 行分のデータの書き込みが終わってから、読み出しを開始し、 $X$ 行毎に0アドレスに戻り、読み出す動作を繰り返せばよい。但し、ここで述べた $X$ の値は(2)式の等号で与えられる。

(B) フレームメモリにシングルポートFIFOメモリを用いる場合

これまではフレームメモリ1に書き込み、読み出しが同時にできるデュアルポートFIFOメモリを使うものとして考えてきたが、書き込み、読み出しを同時にできないシングルポートFIFOメモリを使う場合もあり得る。この時のメモリ容量を以下で求める。この時はリー

(5)

7  
ド/ライトを同時にはできないので、図2に示すようにFIFOメモリが2個必要になるので、2つのメモリのそれぞれの値を計算する。

(B1) メモリの制御タイミング

(A2) と同様に入力する信号の解像度を  $H_1 \times V_1$ 、LCDパネルの解像度を  $H_2 \times V_2$  としてメモリ制御タイミングを考察する。

【0022】メモリはシングルポートなので、書き込むか読み出すかのどちらかしかできない。そこで2つのメモリを用いて一方が書き込み中に他方が読み出すようにする。2つのメモリをメモリ1-1、1-2、メモリ1-1に書き込むことのできる行数をX、メモリ1-2に書き込むことのできる行数をYとする。

【0023】(A<sub>1</sub> サイクル) メモリ1-1にX行分書き込み、メモリ1-2は何もしない。

(A<sub>2</sub> サイクル) メモリ1-1にX行分書き込んだら、メモリ1-2にY行分の書き込みを開始する。メモリ1-2にY行分のデータを書き込み終わると同時にメモリ1-1からX行分のデータを読み出し終わるようにする。

【0024】(A<sub>1</sub> サイクル) メモリ1-1がX行分の\*

$$M = X + Y \sum_{i=1}^{n-1} (V_1 / V_2)^{i-1} \quad \dots (4)$$

このサイクルを無限に繰り返して全部で  $V_1$  行書き込めればよいので、(4)式は(5)式に変形できる。 ※

$$V_1 \leq X + Y + Y (V_1 / V_2) + Y (V_1 / V_2)^2 + Y (V_1 / V_2)^3 + \dots = X + Y V_1 / (V_2 - V_1) \quad \dots (5)$$

(5)式をさらに変形して(6)式とする。

$$Y \geq V_1 (V_2 - V_1) / V_2 - (V_2 - V_1) X / V_2 \quad \dots (6)$$

さらに最初にメモリ1-2に書き込まれたY行分のデータを読み出すA<sub>1</sub> サイクル間に、メモリ1-1にはY (V<sub>1</sub> / V<sub>2</sub>) 行分のデータを書き込まなければならないので、メモリ1-1の全行数XはA<sub>1</sub> サイクルで書き込む★

$$Y \leq X (V_1 / V_2)$$

(6)、(7)式を同時に満足するXとYは図4の斜線部の領域である。A<sub>1</sub> サイクルを考えると、メモリ1-2にY行分のデータを書き込む時間内にメモリ1-1の☆

$$X T_1 (V_1 / V_2) \leq Y T_2$$

$$\therefore Y \geq X (V_1 / V_2)$$

(6)、(7)、(8)式を同時に満足する領域は図4の点線の領域となる。

【0028】このXとYからX+Yが最小になるように決める。直線X+Y=K(一定)を図4に描いた場合、破線のような直線が描かれる。このような直線はKの値によって無数にあるが、その中でKが最小になる直線は◆

$$Y = V_1 (V_2 - V_1) / V_2 - (V_2 - V_1) X / V_2 \quad \dots (9)$$

$$Y = X (V_1 / V_2) \quad \dots (10)$$

これを解いて(11)、(12)式を得る。

$$X = V_1^2 (V_2 - V_1) / (V_1^2 + V_1 V_2 - V_2^2) \quad \dots (11)$$

$$Y = V_1 V_2 (V_2 - V_1) / (V_1^2 + V_1 V_2 - V_2^2) \quad \dots (12)$$

よってメモリ1-1に必要な容量N<sub>1</sub>、メモリ1-2に 50 必要な容量N<sub>2</sub>はそれぞれ(13)、(14)式で与え

\*読み出しを終えたら、メモリ1-1は書き込みを開始する。同時にメモリ1-2からY行分の読み出しを開始する。

(A<sub>1</sub> サイクル) メモリ1-2がY行分の読み出しを終えたと同時にメモリ1-1から読み出しを始め、メモリ1-2は書き込みを開始する。このように、片方が読み出しを終えたら、リード/ライトを入れ替えるというサイクルを繰り返す。但し、この時1行分データの読み出しに要する時間は1行分のデータの書き込みに要する時間T<sub>1</sub>のV<sub>1</sub> / V<sub>2</sub> 倍なので、どちらかのメモリに書き込める行数は1サイクル毎にV<sub>1</sub> / V<sub>2</sub> 倍されることになる。

(B2) メモリ容量の算出

(B1) のような制御を繰り返した時のXとYの値を計算する。メモリ1-2が最初の書き込みを終えたあとではリード/ライトが切り替わる毎に書き込むことができる行数はV<sub>1</sub> / V<sub>2</sub> 倍されるのであるから、このA<sub>1</sub> サイクル目で書き込むことのできる行数はY (V<sub>1</sub> / V<sub>2</sub>)<sup>n-1</sup> 行である。

【0025】よって、A<sub>1</sub> サイクルの終わりまでに書き込んだ行数の総和Mは(4)式となる。

※【0026】

$$V_1 \leq X + Y + Y (V_1 / V_2) + Y (V_1 / V_2)^2 + Y (V_1 / V_2)^3 + \dots = X + Y V_1 / (V_2 - V_1) \quad \dots (5)$$

$$Y \geq V_1 (V_2 - V_1) / V_2 - (V_2 - V_1) X / V_2 \quad \dots (6)$$

★込む行数Y (V<sub>1</sub> / V<sub>2</sub>) 以上でなければならない。即ち、X ≥ Y (V<sub>1</sub> / V<sub>2</sub>) である。よって(7)式が成立する。

$$Y \leq X (V_1 / V_2) \quad \dots (7)$$

☆X行分のデータを読み出さなければならないので、1行分の入力信号を書き込む時間をT<sub>1</sub>とすれば、

$$\dots (8)$$

◆A点を通る直線である。従って、求めるX、Yの値は(6)、(7)式を等式として連立方程式をとけば求められる。(6)、(7)式を等式として(9)、(10)式を得る。

$$Y = V_1 (V_2 - V_1) / V_2 - (V_2 - V_1) X / V_2 \quad \dots (9)$$

$$Y = X (V_1 / V_2) \quad \dots (10)$$

【0029】

$$Y = V_1 (V_2 - V_1) / V_2 - (V_2 - V_1) X / V_2 \quad \dots (9)$$

$$Y = X (V_1 / V_2) \quad \dots (10)$$

$$X = V_1^2 (V_2 - V_1) / (V_1^2 + V_1 V_2 - V_2^2) \quad \dots (11)$$

$$Y = V_1 V_2 (V_2 - V_1) / (V_1^2 + V_1 V_2 - V_2^2) \quad \dots (12)$$

よってメモリ1-1に必要な容量N<sub>1</sub>、メモリ1-2に 50 必要な容量N<sub>2</sub>はそれぞれ(13)、(14)式で与え

られる。

\* \* [0030]

$$N_1 = V_1^2 (V_1 - V_2) H_1 ab / (V_1^2 + V_1 V_2 - V_2^2) \quad \dots (13)$$

$$N_2 = V_1 V_2 (V_1 - V_2) H_1 ab / (V_1^2 + V_1 V_2 - V_2^2) \quad \dots (14)$$

a = 3, b = 8としてメモリ量を計算する。

[0031] VGAの場合:

$$X = 480 \times (768 - 480) / (768^2 + 768 \times 480 - 480^2) = 91.1388$$

$$N_1 = X H_1 ab = 91.1388 \times 640 \times 3 \times 8 = 1399893 \text{ bit} (=170.9 \text{ kB})$$

$$Y = 480 \times 768 \times (768 - 480) / (768^2 + 768 \times 480 - 480^2) = 145.8$$

$$N_2 = Y H_1 ab = 145.8 \times 640 \times 3 \times 8 = 2239488 \text{ bit} (=273.3 \text{ kB})$$

SVGAの場合:

$$X = 600 \times (768 - 600) / (768^2 + 768 \times 600 - 600^2) = 87.5731$$

$$N_1 = X H_1 ab = 87.5731 \times 800 \times 3 \times 8 = 1681404 \text{ bit} (=205.2 \text{ kB})$$

$$Y = 600 \times 768 \times (768 - 600) / (768^2 + 768 \times 600 - 600^2) = 112.093$$

$$N_2 = Y H_1 ab = 112.093 \times 800 \times 3 \times 8 = 2152197 \text{ bit} (=262.7 \text{ kB})$$

となる。

[0032] この結果からVGA, SVGAのどちらもできるようにするためには、メモリ1-1に205.2 kB、メモリ1-2には273.3 kBが必要であるように見えるが、実際にはメモリ1-1が205.2 kB、メモリ1-2は262.7 kBでよい。その理由はメモリ1-1が205.2 kBなので、VGAの109.44行分をリードライトでき、メモリ1-2が262.7 kBなのでVGAの140.11行分をリードライトできる。この値はX = 109.44, Y = 140.11,  $V_1 = 480$ ,  $V_2 = 768$ とした時の(6)、(7)、(8)式を満足するからである。

(C) その他

今まで考えてきたような制御をすることで、(A)、(B)いずれのメモリを用いても、メモリ使用量を最小にできる。しかし現実には、メモリの容量は1 Mbit※

※や512 kbitと言った2<sup>n</sup>で表わされる値になる。

その時は(4)式や(13)、(14)式で表わされる値より大きく、一番近い値のメモリを選択すればよい。

また、たとえば、メモリ1-1に256 kB、メモリ1-2にも256 kBを用いると、VGA, SVGAの各パラメータを、(6)、(7)、(8)式に代入して成立し、これでも実用範囲内であることがわかる。従来技術の1/3のメモリで済む。

[0033] これまで、LCDを例として説明してきたが、LCDに限らず、プラズマディスプレイやエレクトロルミネッセンスといった、ドットマトリクス表示器であっても、本発明の効果が変わらないことは、言うまでもない。

[0034]

20 【発明の効果】この発明では、フレームメモリとしてデュアルポートのFIFOメモリまたはシングルポートの第1、第2FIFOメモリを用い、それらの容量を必要最小限度に押さえることができる。これにより従来必要としたメモリ容量の例えば1/4~1/3程度で済み、大幅な経済化を行える。

【図面の簡単な説明】

【図1】Aは請求項1の実施例を示すブロック図、BはAの入出力信号のタイミングチャート。

【図2】Aは請求項3の実施例を示すブロック図、BはAの入出力信号のタイミングチャート。

30 【図3】請求項1の発明の考え方を説明するためのフレームメモリのライトデータ、リードデータのタイミングチャート。

【図4】図2のフレームメモリ1-1、1-2に書き込む映像信号の行数X、Y間の関係を示すグラフ。

【図5】液晶モニタ装置のEXPANDモードとNON-EXPANDモードを説明するための図。

【図3】

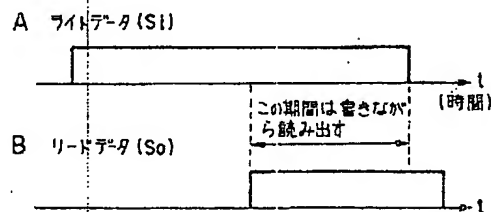
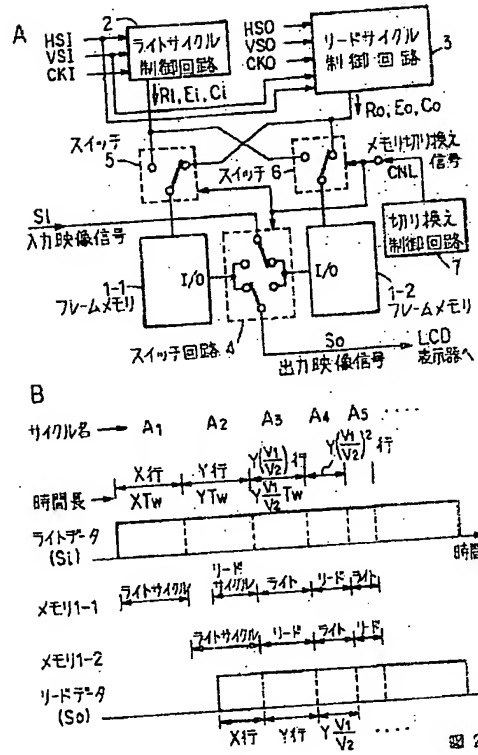


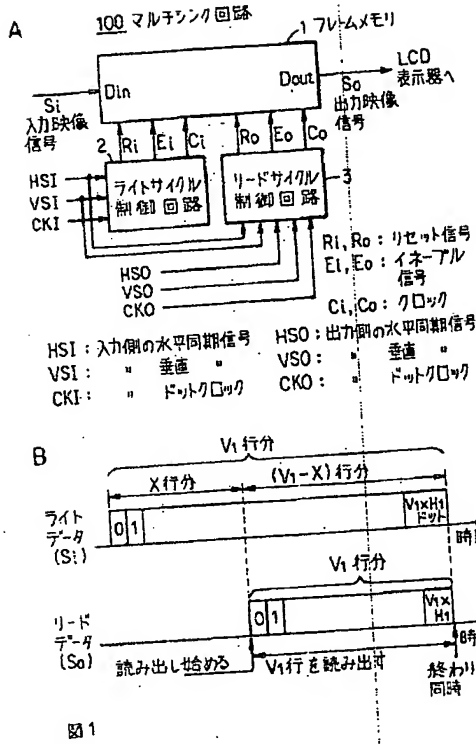
図3

(7)

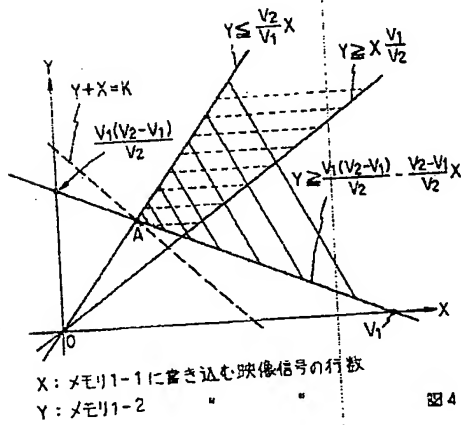
【図2】



【図1】



【図4】





【図5】

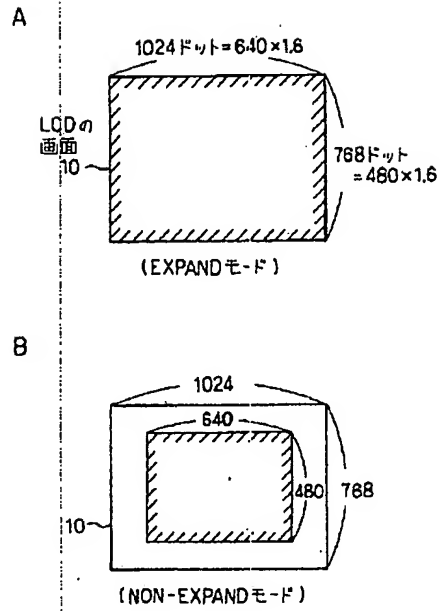


図5

フロントページの続き

(51)Int.Cl.<sup>6</sup>  
G09G 3/36

識別記号

FI  
G09G 3/36

**THIS PAGE BLANK (USPTO)**

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**

**THIS PAGE BLANK (USPTO)**